

10/670,279

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 1 日
Date of Application:

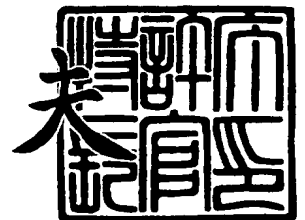
出 願 番 号 特 願 2 0 0 3 - 3 2 0 3 1 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 0 3 1 6]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 0 8 3 1

【書類名】 特許願
【整理番号】 14425601
【提出日】 平成15年 9月11日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 研究開発
 センター内
 【氏名】 佐 竹 秀 喜
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-282441
 【出願日】 平成14年 9月27日
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0102514

【書類名】 特許請求の範囲**【請求項 1】**

第一導電型の半導体基板と、
この半導体基板の表面に形成されたチャネル領域と、
このチャネル領域の両側の前記半導体基板に形成された第二導電型のソース・ドレイン領域と、
前記チャネル領域を覆うように形成された絶縁膜と、
この絶縁膜上に形成されたゲート電極と
を有する半導体装置において、
前記絶縁膜に不純物原子がその濃度が前記半導体基板に平行な面に沿って異なる値の分布を示すように含まれていることを特徴とする半導体装置。

【請求項 2】

前記不純物原子は、B、C、N、F、P、S、Cl、As、Se、Brのいずれかである、請求項 1 記載の装置。

【請求項 3】

前記不純物原子の最大濃度が最低濃度の 2 倍以上大きくなるようにされていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記不純物原子の最大濃度が 10^{19} cm^{-3} よりも大きくなるようにされていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

第一導電型の半導体基板上に絶縁層を形成する工程と；
この絶縁層上に導電層を形成する工程と；
この導電層上にイオン注入に対する抵抗となる抵抗物質を、微細な点からなるまだら状の膜として形成する工程と；
前記抵抗物質のまだら状の膜を介することにより、前記導電層に、不純物を不均一にイオン注入する工程と；
前記導電層中の不純物イオンを、前記絶縁膜中に拡散させる工程と；
を備えることを特徴とする半導体装置の製造方法。

【請求項 6】

前記不純物は、B、C、N、F、P、S、Cl、As、Se、Brのいずれかである、請求項 5 に記載の方法。

【請求項 7】

前記ある物質は、レジストである、請求項 5 に記載の方法。

【請求項 8】

前記レジストを前記導電層上に塗布し、このレジストをエッチバックすることにより、前記導電層上に前記レジストをまだら状に残存させることにより前記まだら状の膜を形成する、ことを特徴とする請求項 6 に記載の方法。

【請求項 9】

前記絶縁膜からゲート酸化膜を形成する工程と、前記導電層からゲート電極を形成する工程を、さらに含む請求項 5 に記載の方法。

【請求項 10】

第一導電型の半導体基板上に絶縁層を形成する工程と；
この絶縁層上に導電層を形成する工程と；
この導電層中に、複数回不純物のイオン注入を行って、前記導電層中の不純物濃度を注入のゆらぎに基づく不均一のものとする工程と；
前記導電層中の不純物イオンを、前記絶縁膜中に拡散させる工程と；
を備えることを特徴とする半導体装置の製造方法。

【請求項 11】

第一導電型の半導体基板上に絶縁層を形成する工程と；

この絶縁層上に導電層を形成する工程と；

この導電層をエッチングすることにより、この導電層の表面に微細な凹凸を形成する工程と；

表面に凹凸を有する前記導電層に不純物をイオン注入する工程と；

前記導電層中の不純物イオンを、前記絶縁膜中に拡散させる工程と；
を備えることを特徴とする半導体装置の製造方法。

【請求項 12】

前記エッチングはケミカルドライエッチングである、請求項 11 に記載の方法。

【請求項 13】

前記エッチングはウェットエッチングである、請求項 11 に記載の方法。

【請求項 14】

前記不純物は、B、C、N、F、P、S、Cl、As、Se、Br のいずれかである、
請求項 12 記載の方法。

【請求項 15】

前記不純物は、B、C、N、F、P、S、Cl、As、Se、Br のいずれかである、
請求項 13 記載の方法。

【請求項 16】

前記絶縁膜からゲート酸化膜を形成する工程と、前記導電層からゲート電極を形成する工程を、さらに含む請求項 14 に記載の方法。

【請求項 17】

前記絶縁膜からゲート酸化膜を形成する工程と、前記導電層からゲート電極を形成する工程を、さらに含む請求項 15 に記載の方法。

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に係り、特にゲート酸化膜などの薄い絶縁膜の信頼性の改善を図ったMOS (Metal-Oxide-Semiconductor) 型半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、LSIの高性能化・高速化に従って、MOSトランジスタの微細化が進んでいる。これに伴って、MOSトランジスタのゲート絶縁膜も急速に薄膜化しており、極薄膜のシリコン絶縁膜を均一にかつ高い信頼性で形成する技術が求められている。最近、絶縁破壊モードとして、擬似破壊 (SBD) を起こしてから完全破壊 (HBD) に至る素子のほうが、いきなり完全破壊 (HBD) する素子よりも寿命が長いことが報告された (K Okada et al., Tech Dig. Symp. on VLST Technology, p.57 (2000); K. Okada et al., 「A Concept of Gate Oxide Lifetime Limited by "B-mode" Stress Induced Leakage Currents in Direct Tunneling Regime」 Symposium on VLSI Technology Digest of Technical Paper, 1999 p.57-58)。しかしながら、ゲート絶縁膜の絶縁破壊の起き方が、当初SBDとなるか、あるいはHBDとなるかは確率的に偶然に左右されるものであるので、SBDのみを選択的に起こさせることは、従来はたいへん難しい問題であった。さらに、擬似破壊を起こした素子は、ゲートに低電圧ストレスを加えた状態において使用すると、高電圧ストレスを加えた状態で使用するよりも、格段に寿命 (擬似破壊を起こしてから完全破壊を起こすまでの時間) をのばすことができる。このことは、図8に示される。この図8において、横軸には素子のゲートに加えるストレス電圧 ($-V$) を示し、縦軸には寿命 (S) を示している。つまり、 T_{HB} は擬似破壊の後、完全破壊を起こすまでの時間 (寿命) を示す。この図からわかるように、ストレス電圧を約3.2ボルト以下で使用すると、グラフが折れ曲がっていることからわかるように、寿命を長くすることが出来る。

【0003】

上記のように、ゲート絶縁膜の破壊の起き方は、一旦にSBDが起きるとその後にHBDへ進行するものと考えられているが、SBDが起きてからHBDへ至るまでの時間に関しては、一般には技術的に制御しがたいという問題があった。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、上記事情を考慮してなされたものであって、ゲート絶縁膜への不純物元素の不均一な導入によって、電氣的にストレスに弱い欠陥を多く作るが、不必要に多くの欠陥を導入することなく、高信頼性プロセスのゆらぎを利用し、ゲート絶縁膜の絶縁破壊をSBDに留めうるようにしたことを特徴としている。これにより、ゲート絶縁膜の完全絶縁破壊寿命を伸張させることができる構造と、容易にかつ低コストで高信頼性を有する半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、以下のように構成される。

【0006】

即ち、第一導電型の半導体装置と、
この半導体基板の表面に形成されたチャネル領域と、
このチャネル領域の両側の前記半導体基板に形成された第二導電型のソース・ドレイン領域と、
前記チャネル領域を覆うように形成された絶縁膜と、
この絶縁膜上に形成されたゲート電極と

を有する半導体装置において、

前記絶縁膜に不純物原子がその濃度が前記半導体基板に平行な面に沿って異なる値の分布を示すように含まれていることを特徴とする半導体装置。

【0007】

また、第一導電型の半導体基板上に絶縁層を形成する工程と；

この絶縁層上に導電層を形成する工程と；

この導電層上にイオン注入に対する抵抗となる抵抗物質を、微細な点からなるまだら状の膜として形成する工程と；

前記抵抗物質のまだら状の膜を介することにより、前記導電層に、不純物を不均一にイオン注入する工程と；

前記導電層中の不純物イオンを、前記絶縁膜中に拡散させる工程と；
を備えることを特徴とする半導体装置の製造方法。

【0008】

さらに、第一導電型の半導体基板上に絶縁層を形成する工程と；

この絶縁層上に導電層を形成する工程と；

この導電層中に、複数回不純物のイオン注入を行って、前記導電層中の不純物濃度を注入のゆらぎに基づく不均一のものとする工程と；

前記導電層中の不純物イオンを、前記絶縁膜中に拡散させる工程と；
を備えることを特徴とする半導体装置の製造方法。

【0009】

本発明は、第一導電型の半導体基板上に絶縁層を形成する工程と；

この絶縁層上に導電層を形成する工程と；

この導電層をエッチングすることにより、この導電層の表面に微細な凹凸を形成する工程と；

表面に凹凸を有する前記導電層に不純物をイオン注入する工程と；

前記導電層中の不純物イオンを、前記絶縁膜中に拡散させる工程と；
を備えることを特徴とする半導体装置の製造方法。

【発明の効果】

【0010】

本発明によれば、ゲート絶縁膜の絶縁破壊を擬似破壊に留め、ゲート絶縁膜の完全絶縁破壊寿命を伸張させることを可能にすることができ、簡便な手法で、高信頼性を有するゲート絶縁膜からなるMOSトランジスタを形成することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら本発明の実施形態を説明する。

【0012】

(第1実施形態)

本発明の第1の実施形態によるMOS型半導体装置の断面構成を図1に示す。この実施形態によるMOS型半導体装置は、例えば、面方位(100)、比抵抗 $4 \sim 6 \Omega \text{cm}$ のn型シリコン基板1の表面に深さ $0.6 \mu\text{m}$ 程度の素子分離領域2aおよび2bが形成されている。この領域に、熱酸化によって例えば厚さ $2 \sim 8 \text{nm}$ のゲート酸化膜4a、さらにこの上にゲート電極として厚さ 200nm の多結晶シリコン膜5aが形成されている。このゲート電極中にはゲート電極の低抵抗化のためにドーパントとして例えばリンが $3 \sim 5 \times 10^{20} \text{cm}^{-3}$ 含有されている。ゲート酸化膜4a中には、不純物として例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$ のフッ素原子が含有されており、かつ、シリコン基板1表面に平行な面内において、最大フッ素濃度と最低フッ素濃度が2倍以上異なるように分布されている。少なくとも2倍以上異なれば、ゲート絶縁膜の絶縁破壊が擬似破壊に留まることは、図9からわかるように、本発明者は経験的に確認した。さらにゲート電極の両側には、一対のソース/ドレイン拡散層となる不純物層10が形成されており、この拡散層表面にはチタンシリサイド膜13が形成されている。また、このゲート電極周辺にはシ

リコン窒化膜などからなるゲート側壁 11 が形成され、全面に堆積されたシリコン酸化膜 14 に開孔されたコンタクトホール 15 を介して、ゲート電極及びソース／ドレイン拡散層にアルミニウム電極 16 が形成されている。

【0013】

以上説明したように、本実施形態によれば、ゲート酸化膜中には、不純物として例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ のフッ素原子が含有しており、かつ、シリコン基板 1 表面に平行な面内において、最大フッ素濃度と最低フッ素濃度が 2 倍以上異なるように分布しているため、ゲート絶縁膜の絶縁破壊を擬似破壊に留め、ゲート絶縁膜の完全絶縁破壊寿命を伸張させることを可能にすることができる。

【0014】

なお、本実施形態においては、ゲート酸化膜中には、不純物として例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ のフッ素原子が含有されているが、フッ素に限らず、B、C、N、F、P、S、Cl、As、Se、Br の原子のいずれであっても良い。これは以下の実施形態においても同様である。これらの原子を用いることができるのは、本発明者が実験的に知得したことである。

【0015】

(第 2 実施形態)

次に、本発明の第 2 実施形態を図 2 および図 7 に参照して説明する。この第 2 実施形態は、半導体装置の製造方法であって、その製造工程を図 2 に示す。

【0016】

まず、例えば面方位 (100)、比抵抗 $4 \sim 6 \Omega \text{ cm}$ の n 型シリコン基板 1 を用意し、この n 型シリコン基板の表面に通常の STI (Shallow Trench Isolation) 法によって深さ $0.6 \mu \text{m}$ 程度の素子分離領域 2a および 2b を形成する (図 2 (a) 参照)。

【0017】

次に、例えば 750°C の温度において、酸素ガスと水素ガスの混合気体中に晒して、例えば厚さ $3 \sim 8 \text{ nm}$ の酸化膜 4 を形成し、この上にゲート電極として厚さ 200 nm の多結晶シリコン膜 5 を形成する (図 2 (b) 参照)。

【0018】

次いで、レジスト 8 を全面に塗布後、例えば、過酸化水素水溶液を 3 kg に硫酸 5 kg を加えた薬液中に、約 10 分間、浸漬してレジストを溶かすレジストエッチバック法によりレジストを剥離し、多結晶シリコン膜 5 の上面に、部分的に高さが 100 nm のレジストを残存させる。続いて、例えば加速電圧 10 keV で、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ のフッ素イオン 6 をイオン注入し、多結晶シリコン膜 5 中にフッ素原子を導入する (図 2 (c) 参照)。

【0019】

さらに、例えば 1000°C の窒素ガス雰囲気中に 10 秒間晒して、多結晶シリコン膜 5 中のフッ素原子を酸化膜 4 中に拡散させる。ここにおいて、多結晶シリコン膜 5 中に不規則にフッ素原子が導入されているため、図中に破線で示したように、ゲート酸化膜 4 中において、シリコン基板 1 表面に平行な面内においては、不規則な濃度分布を有している (図 2 (d) 参照)。図 2 (c) の工程で、フッ素イオン注入を行っているが、このイオン注入を複数回に分け、インプラのゆらぎを使用し、不規則な濃度分布としても良い。図 2 (c) の工程で、レジストが部分的に残存しているため、この荒れた面にイオン注入を行うと、導入される原子のプロファイルがゆらぎ、後の熱処理によってゲート絶縁膜中に導入した原子のプロファイルもゆらぎ、膜質に与える影響も不均一になる。

【0020】

図 5 は、フッ素のドーズ量を変えた時の、絶縁破壊に至るまでにゲート酸化膜を通過した総電子量 Q_{bd} 分布の変化を示している。つまり、この図 5 において、横軸は総電子量 Q_{bd} を、縦軸は累積不良率 $1_n (-1_n (1-F))$ を示している。図 5 からわかるように、フッ素のドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ よりも大きくなると、急激に寿命が短くなる。つまり、フッ素原子が過剰に入った領域では、ゲート酸化膜の劣化を促進してしまう

。ここにおいて、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ の場合の、ゲート酸化膜中のフッ素原子濃度は、 $1 \times 10^{14} \text{ cm}^{-2}$

の場合と比較して、2倍以上の値となっていることを確認している。図中、Tox はゲート酸化膜厚さを示し、Jgはストレス電流密度を示している。

【0021】

以下に図5についてより詳しく説明する。

【0022】

本発明者は、2フッ化ボロン (BF_2) をイオン注入して形成したp型ポリSi (p-Si) ゲートトランジスタのQbdのウェーハ面内分布が極めて均一であるという研究結果をヒントに、酸化膜の信頼性を向上させる一つの方法として、F原子の役割に着目した。

【0023】

酸化膜へのFの導入には、まずゲート酸化膜上にゲート電極として堆積した多結晶シリコン膜中に、イオン注入法によりFイオンを打ち込む。これを熱処理することで多結晶シリコン中のF原子をゲート酸化膜中に拡散させる。このように、この技術は簡便で、かつ現状のLSIプロセスとの整合性が高いという特長もある。図5は、F導入した酸化膜としていない酸化膜でQbdの面内分布を累積不良率 $1 - \ln(1 - F)$ でプロットしたもの(ワイブルプロット)を示している。図に見られるように、Fをゲート酸化膜中に導入することにより、平均的なQbdの値は劣化させずに、分布のすそ部分だけを消滅させることができることがわかる。一方、過剰にFを導入した場合は、Qbdの全体が劣化してしまうことから、F素導入量には最適値があることもわかる。

【0024】

この実験的事実は、ゲート酸化膜中へのF導入による信頼性向上技術として重要であると同時に、Si原子と酸素(O)原子以外の第3の原子をゲート酸化膜中へ導入することによる、電気的な信頼性向上に対する起源の解明についても重要な示唆を与えている。

【0025】

次に、レジストマスクを用いて反応性イオンエッチング法により多結晶シリコン5及び酸化膜4をエッチングして、MOSトランジスタ領域のゲート電極5a及びゲート絶縁膜4aを形成する。続いて、前記レジストマスクを除去した後、 BF_2 イオンを、例えば加速電圧30keVでドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、拡散層領域10を形成する。次いで、LP-CVD (Low Pressure Chemical Vapor Deposition) 法を用いてゲート部の側壁に、例えば厚さ10nmのシリコン窒化膜からなる側壁絶縁膜11を形成する(図2(e))。

【0026】

さらに、窒素雰囲気中で例えば750~950℃、1~100分間の熱処理を行い、ゲート電極中のドーパントおよびソース/ドレイン拡散層中のドーパントを活性化させる。さらに、全面に例えば厚さ300nmのシリコン酸化膜14をCVD (Chemical Vapor Deposition) 法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開口する。その後、シリコン、銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをパターンニングしてAl電極16を形成する。最後に、450℃で15分間水素を10%含む窒素雰囲気中で熱処理する(図2(f))。

【0027】

以上により、本発明の第2の実施態様に係るpチャネルMOSトランジスタが完成する。

【0028】

図6および図7に、本発明で得られたゲート絶縁膜を用いたMOSキャパシタでの電子の総量Qbdのワイブルプロットおよび初期不良頻度を示す。図6、7において、Vgはゲート電圧、Nはサンプル数、SBD (@initial) はSBDの初生頻度を示す。つまり、図6は、ゲート酸化膜が絶縁破壊に至るまでに膜中を通過した電子の総量Qbd

のワイブルプロットを示している。素子面積は 0.1 mm^2 のものを用いている。縦軸には累積不良率に対応する値を、横軸には $Q b d$ を取っている。ゲート絶縁膜中の不純物原子濃度を不規則としていない従来例の実験結果は全ていきなり完全破壊を起こしているものであり、黒□印で示した。また、本発明の手法で得られた素子の測定結果を、当該擬似破壊を起こしたものは黒○印で、いきなり完全破壊を起こしたものは△印を表示している。図からわかるように、本発明の手法を用いると、当初擬似破壊を起すものが増加していることが明瞭にわかる。図7は、面積が大きい 1 mm^2 のMOSキャパシタの電流電圧特性を測定した場合に、当初擬似破壊を起す頻度をプロットしたものである。本発明のプロセス (Damagedと表示) では、約80%のキャパシタにおいて擬似破壊が観測される。一方、従来のプロセス (Referenceと表示) のものでは、約5%のMOSキャパシタで擬似破壊が観測されるのみであり、明瞭な相違が見られる。つまり、図6および図7に見られるように、本発明によるゲート酸化膜をMOSキャパシタに用いた場合においては、きわめて効率的に擬似破壊が起きていることがわかる。

【0029】

(第3実施形態)

次に、本発明の第3実施形態を図3を参照して説明する。この第3実施形態は、半導体装置の製造方法であって、そのpチャネルMOSトランジスタの製造工程を図3に示す。

【0030】

まず、例えば面方位 (100)、比抵抗 $4 \sim 6 \Omega \text{ cm}$ のn型シリコン基板1を用意し、このn型シリコン基板の表面に通常のSTI (Shallow Trench Isolation) 法によって深さ $0.6 \mu \text{ m}$ 程度の素子分離領域2aおよび2bを形成する (図3 (a) 参照)。

【0031】

次に、例えば 750°C の温度において、酸素ガスと水素ガスの混合気体中に晒して、たとえば厚さ $3 \sim 8 \text{ nm}$ の酸化膜4を形成し、この上にゲート電極として厚さ 200 nm の多結晶シリコン膜5を形成する (図3 (b) 参照)。

【0032】

次いで、ウェットエッチング法、例えば、ケミカルドライエッチング法を用いて、多結晶シリコン膜5の上面に凹凸を形成する。この方法を用いると結晶粒界でエッチング速度が早いことに加えて (111) 面のファセットの効果を期待でき、これによるゆらぎも加えられる。さらに、例えば加速電圧 10 keV で、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ のフッ素イオン6をイオン注入し、多結晶シリコン膜5中にフッ素原子を導入する (図3 (c) 参照)。

【0033】

さらに、例えば 1000°C の窒素ガス雰囲気中に10秒間晒して、多結晶シリコン膜5中のフッ素原子を酸化膜4中に拡散させる。ここにおいて、ゲート電極の多結晶シリコン膜5中に不均一にフッ素原子が導入されているため、図中に破線で示したように、酸化膜4中においても、シリコン基板1表面に平行な面内において、不規則な濃度に分布している (図3 (d) 参照)。

【0034】

次に、レジストマスク9を用いて反応性イオンエッチング法により多結晶シリコン5をエッチングして、MOSトランジスタ領域のゲート電極5aを形成する。続いて、前記レジストマスクを除去した後、 BF_2 イオン6を、例えば加速電圧 20 keV でドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、拡散層領域10を形成する。次いで、LPCVD法を用いてゲート部の側壁に、例えば厚さ 10 nm のシリコン窒化膜からなる側壁絶縁膜11を形成する。続いて BF_2 イオンを、例えば加速電圧 20 keV 、ドーズ量 $3 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、ソース/ドレイン拡散層13を形成する (図3 (e) 参照)。

【0035】

さらに、窒素雰囲気中で例えば $750 \sim 950^\circ \text{C}$ 、 $1 \sim 100$ 分間の熱処理を行い、ゲート電極中のドーパント及びソース/ドレイン拡散層中のドーパントを活性化させる。さ

らに、全面に例えば厚さ 300 nm のシリコン酸化膜 14 を CVD 法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール 15 を開口する。その後、シリコン、銅をそれぞれ例えば 0.5% ずつ含有する厚さ 800 nm のアルミニウム膜を形成した後、これをパターニングして A1 電極 16 を形成する。最後に、450℃で 15 分間水素を 10% 含む窒素雰囲気中で熱処理する（図 3（f）参照）。

【0036】

以上により、本発明の第 3 の実施態様に係る p チャネル MOS トランジスタが完成する。

【0037】

（第 4 実施形態）

図 4 は本発明の第 4 の実施形態に係る p チャネル MOS トランジスタの製造方法を示す工程断面図である。

【0038】

まず、例えば面方位（100）、比抵抗 4～6 $\Omega \cdot \text{cm}$ の n 型シリコン基板 1 を用意し、この n 型シリコン基板の表面に通常の STI（Shallow Trench Isolation）法によって深さ 0.6 μm 程度の素子分離領域 2a および 2b を形成する（図 4（a）参照）。

【0039】

次に、例えば 750℃ の温度において、酸素ガスと水素ガスの混合気体中に晒して、例えば厚さ 3～8 nm の酸化膜 4 を形成し、この上にゲート電極として厚さ 200 nm の多結晶シリコン膜 5 を形成する（図 4（b）参照）。

【0040】

次いで、シリコン基板の裏面にレジストを塗布した後、例えば濃度を 1% とした水酸化カリウム溶液に例えば 1 分間浸し、多結晶シリコン膜 5 の上面に凹凸を導入する。次にレジストを剥離後、多結晶シリコン膜 5 中に、例えば加速電圧 10 keV で、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ のフッ素イオン 6 を注入し、多結晶シリコン膜 5 中にフッ素原子を導入する（図 4（c）参照）。

【0041】

さらに、例えば 1000℃ の窒素ガス雰囲気中に 10 秒間晒して、多結晶シリコン膜 5 中のフッ素原子を酸化膜 4 中に拡散させる。ここにおいて、ゲート電極の多結晶シリコン膜 5 中に不均一にフッ素原子が導入されているため、図中に破線で示したように、酸化膜 4 中においても、シリコン基板 1 表面に平行な面内において、フッ素原子が不規則な濃度で分布している（図 4（d）参照）。

【0042】

次に、レジストマスク 9 を用いて反応性イオンエッチング法により多結晶シリコン 5 及び酸化膜 4 をエッチングして、MOSFET 領域のゲート電極 5a 及びゲート酸化膜 4a を形成する。続いて、前記レジストマスクを除去した後、 BF_3 イオン 6 を、例えば加速電圧 20 keV でドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、拡散層領域 10 を形成する。次いで、LP-CVD 法を用いてゲート部の側壁に、例えば厚さ 10 nm のシリコン窒化膜からなる側壁絶縁膜 11 を形成する。（図 4（e）参照）。

【0043】

さらに、窒素雰囲気中で例えば 750～950℃、1～100 分間の熱処理を行い、ゲート電極中のドーパント及びソース／ドレイン拡散層中のドーパントを活性化させる。さらに、全面に例えば厚さ 300 nm のシリコン酸化膜 14 を CVD 法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール 15 を開口する。その後、シリコン、銅をそれぞれ例えば 0.5% ずつ含有する厚さ 800 nm のアルミニウム膜を形成した後、これをパターニングして A1 電極 16 を形成する。最後に、450℃で 15 分間水素を 10% 含む窒素雰囲気中で熱処理する（図 4（f）参照）。

【0044】

以上により、本発明の第 4 の実施形態に係る p チャネル MOS トランジスタが完成する。

【0045】

本発明の実施態様においては、ゲート絶縁膜として、シリコン熱酸化膜を例に挙げて説明しているが、これに限定されるものではなく、窒素を含有する酸化膜、窒化膜、それ以外の高誘電体膜でも実施可能であり、また熱酸化のみならず、マイクロ波やレーザーで活性化した酸素を用いた酸化膜でも同様の効果が得られる。また、破壊現象のゆらぎを用いた素子にも使用可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施可能である。

【図面の簡単な説明】

【0046】

【図1】 本発明の第1実施形態によるMOS型トランジスタの構成を示す断面図。

【図2】 本発明の第2実施形態によるMOS型トランジスタの製造方法の製造工程断面図。

【図3】 本発明の第3実施形態によるMOS型トランジスタの製造方法の製造工程断面図。

【図4】 本発明の第4実施形態によるMOS型トランジスタの製造方法の製造工程断面図。

【図5】 フッ素のドーズ量を変えた場合の、絶縁破壊が起きるまでにゲート酸化膜を通過した電子総量 Q_{bd} の累積不良分布を示す図。

【図6】 本発明により作製したMOSキャパシタの寿命分布を示す図。

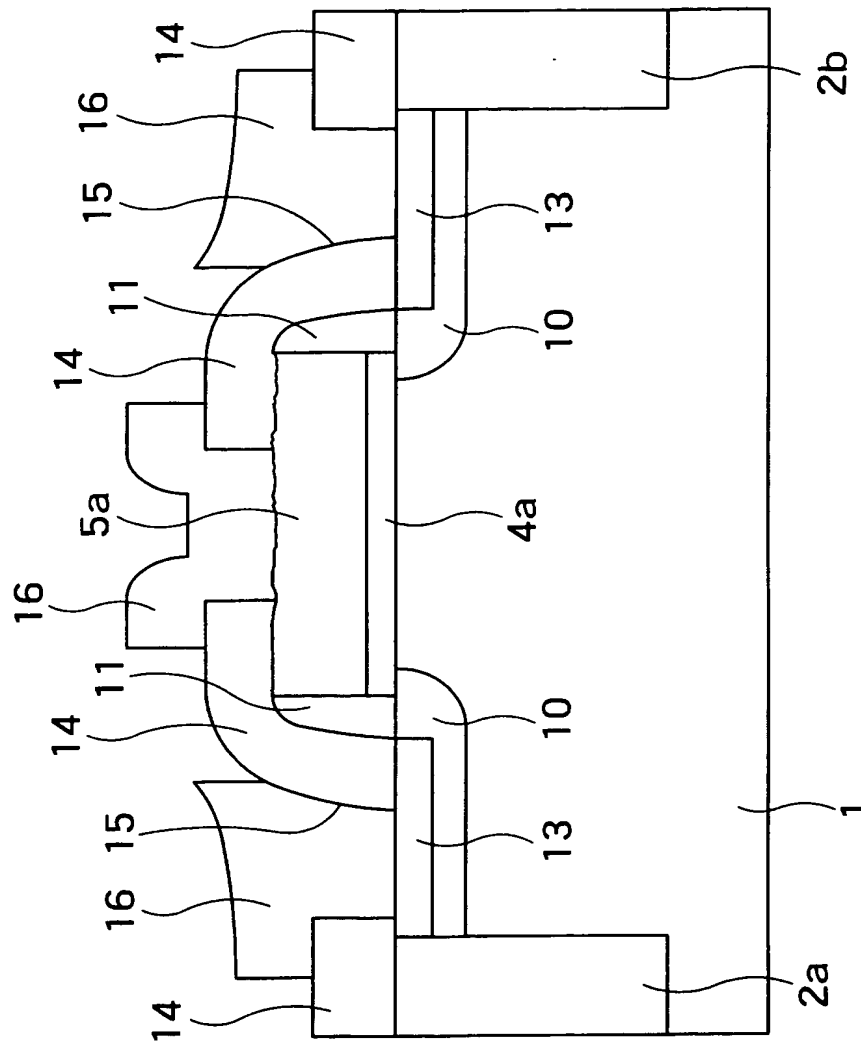
【図7】 本発明により作製したMOSキャパシタの初期擬似破壊頻度を示す図。

【図8】 擬似破壊を起こしたMOS構造において、完全破壊寿命が長くなることを示す図。

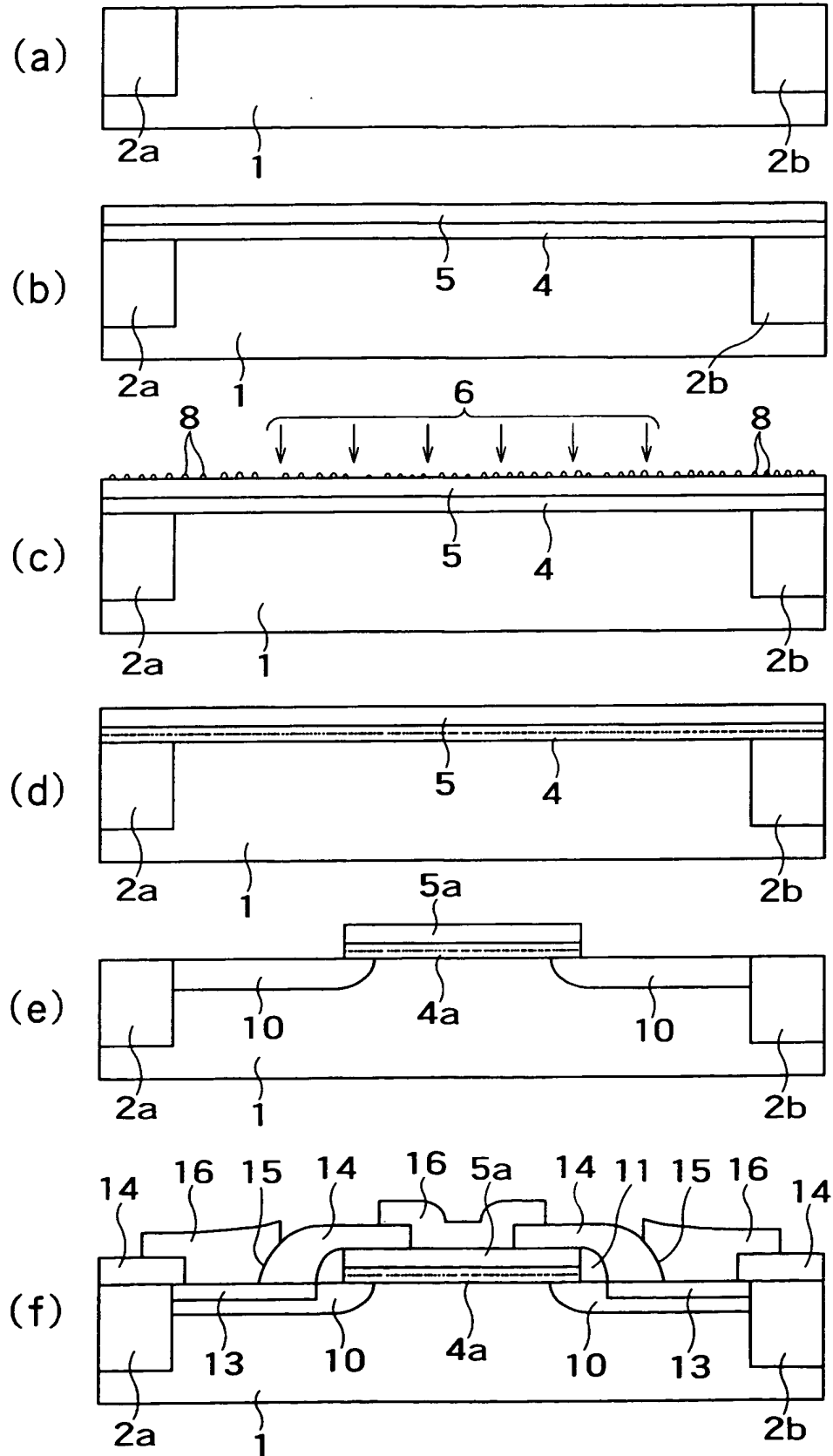
【図9】 (膜中最大フッ素濃度) / (膜中最小フッ素濃度) と、擬似破壊が初期的に発生する頻度との関係を示す図。

【書類名】 図面
【図 1】

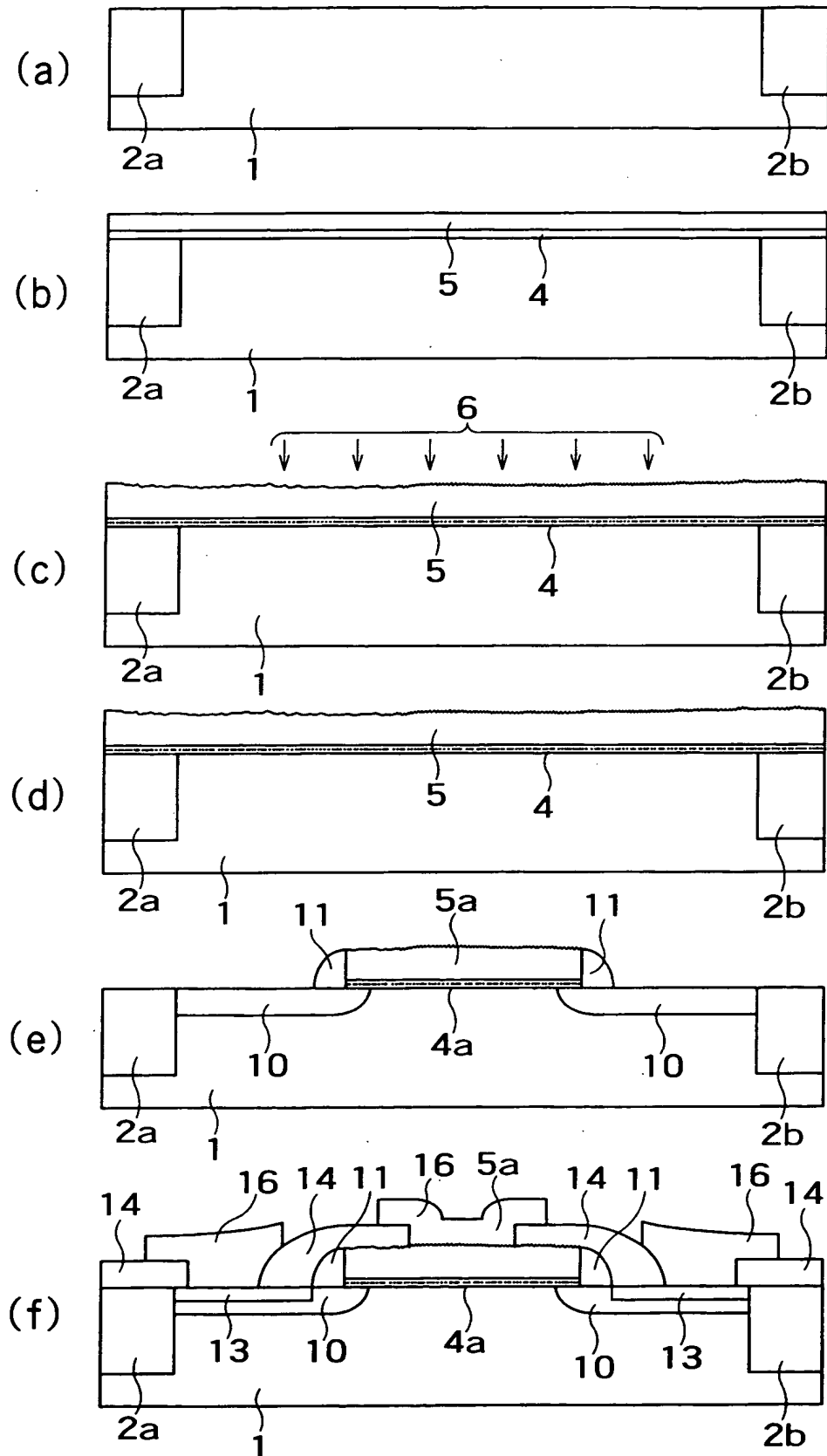
【図 1】



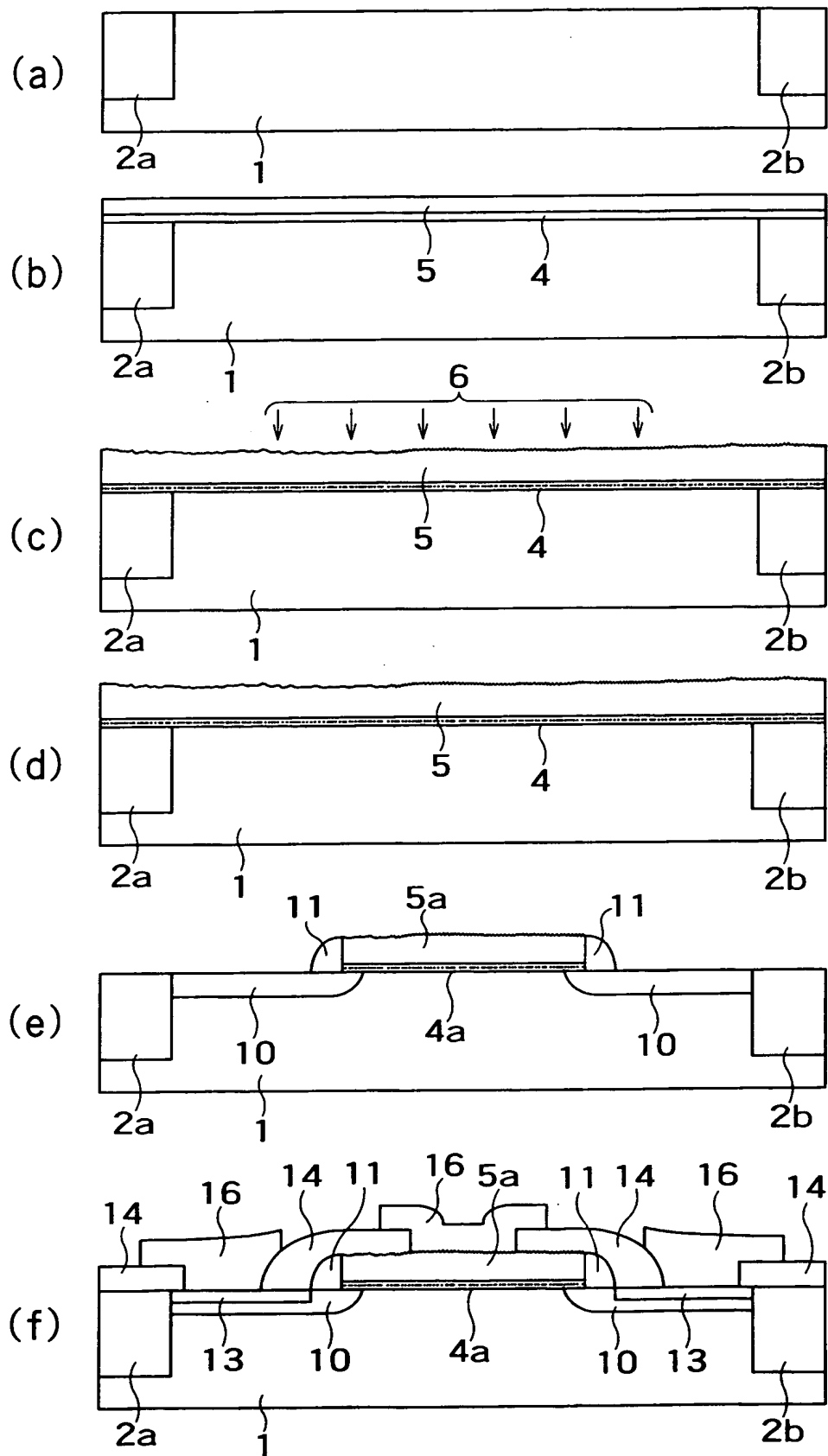
【図 2】



【図 3】



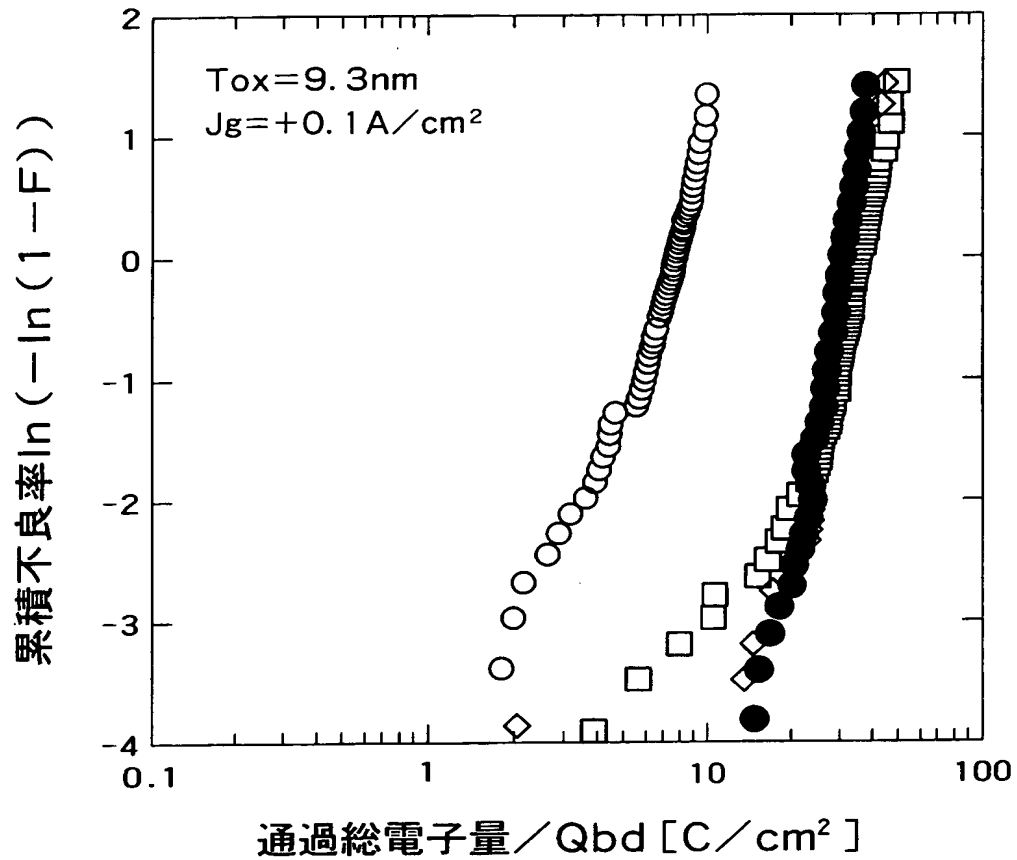
【図 4】



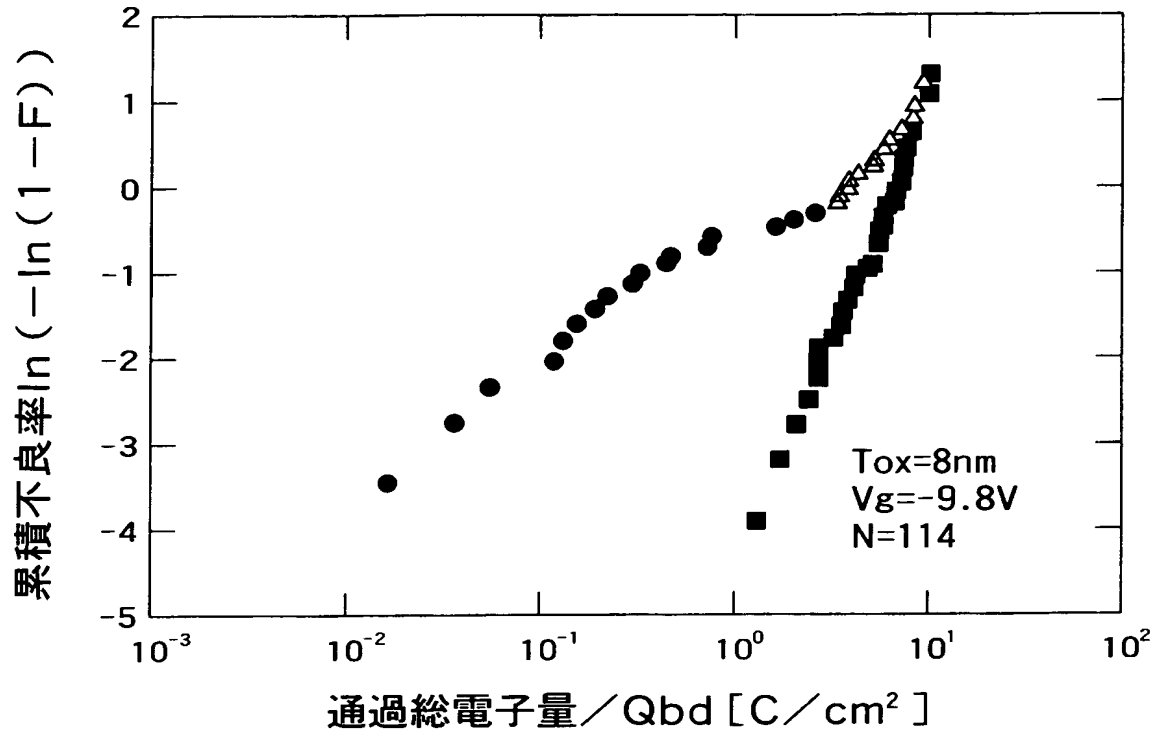
【図 5】

フッ素ドーズ量

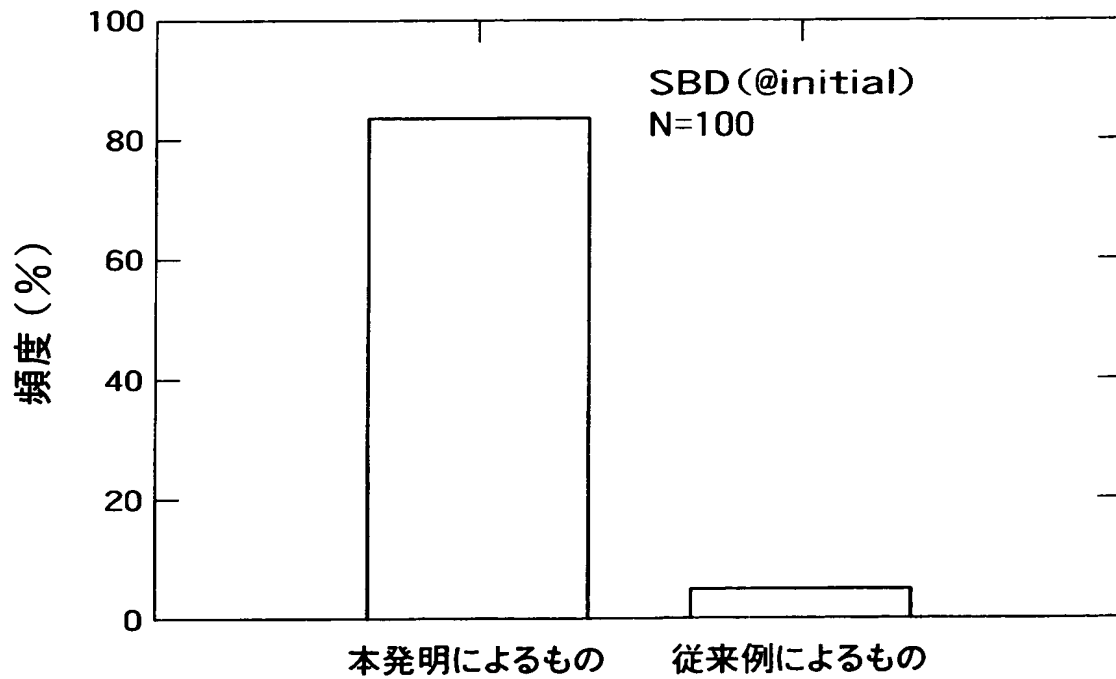
□	0cm^{-2}	$1 \times 10^{15}\text{cm}^{-2}$
◇	$1 \times 10^{14}\text{cm}^{-2}$	○ $1 \times 10^{16}\text{cm}^{-2}$



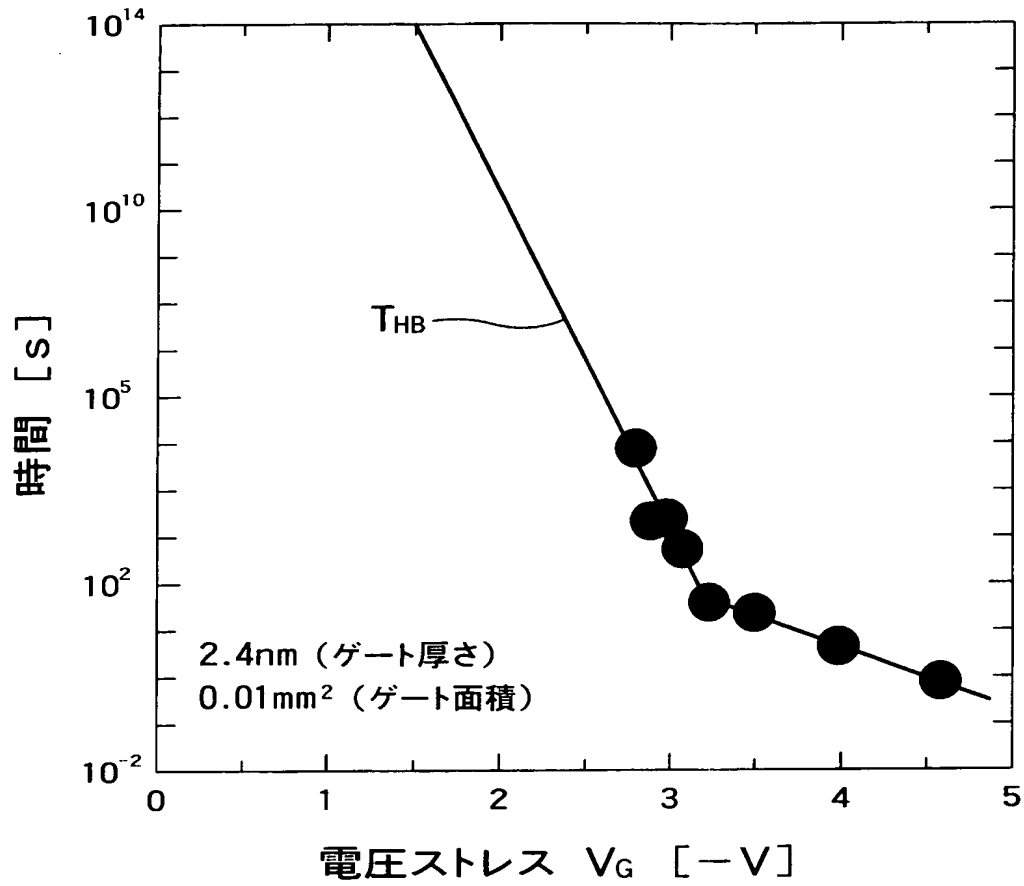
【図 6】



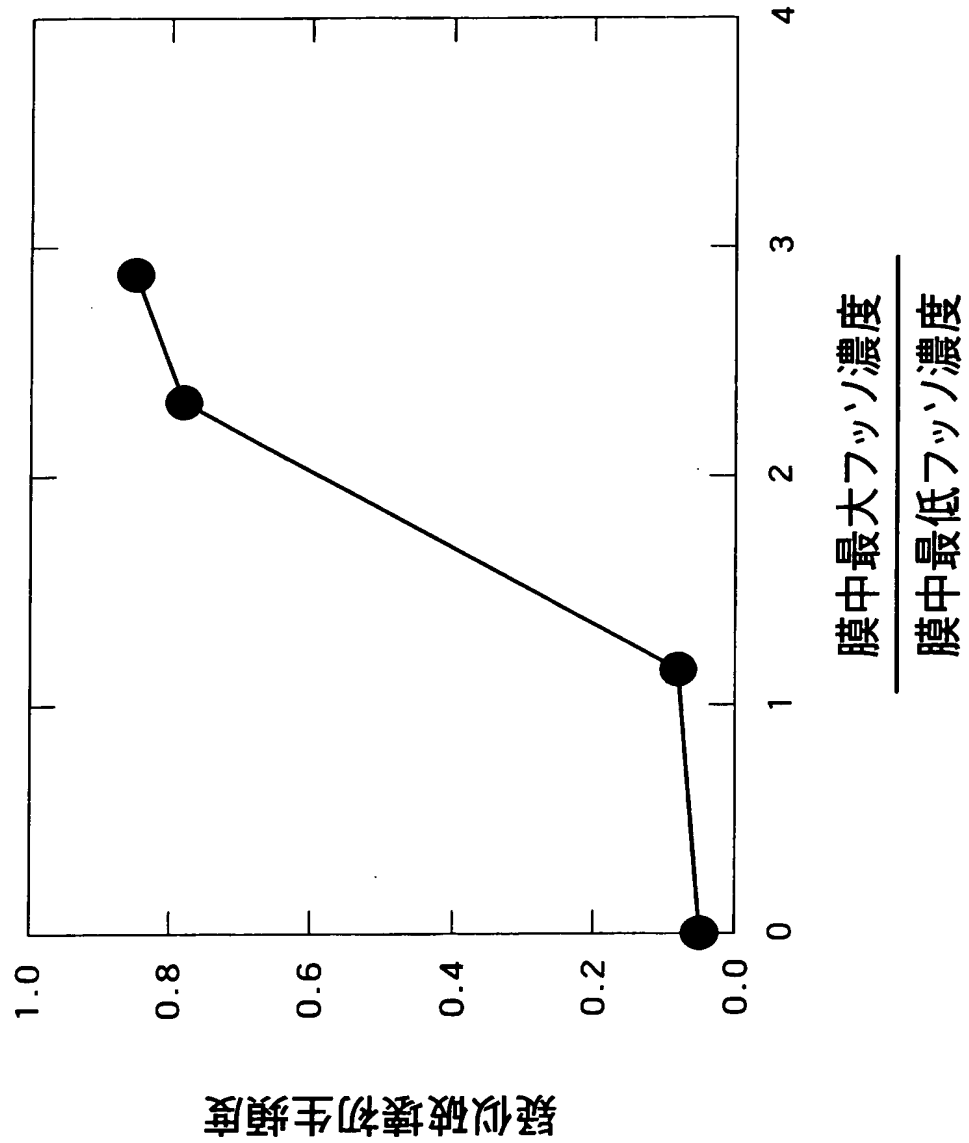
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜の寿命を長くする。

【解決手段】 第一導電型の半導体基板と、この半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の前記半導体基板に形成された第二導電型のソース・ドレイン領域と、前記チャネル領域を覆うように形成された絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、前記絶縁膜に不純物原子がその濃度が前記半導体基板に平行な面に沿って異なる値の分布を示すように含まれている。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2003-320316
受付番号	50301509863
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 9 月 17 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

申請人	
【識別番号】	100075812
【住所又は居所】	東京都千代田区丸の内 3-2-3 協和特許法律事務所
【氏名又は名称】	吉武 賢次

【選任した代理人】

【識別番号】	100088889
【住所又は居所】	東京都千代田区丸の内 3 丁目 2 番 3 号 協和特許法律事務所
【氏名又は名称】	橋谷 英俊

【選任した代理人】

【識別番号】	100082991
【住所又は居所】	東京都千代田区丸の内 3 丁目 2 番 3 号 富士ビル 協和特許法律事務所
【氏名又は名称】	佐藤 泰和

【選任した代理人】

【識別番号】	100096921
【住所又は居所】	東京都千代田区丸の内 3-2-3 富士ビル 3 階 協和特許法律事務所
【氏名又は名称】	吉元 弘

【選任した代理人】

【識別番号】	100103263
【住所又は居所】	東京都千代田区丸の内 3 丁目 2 番 3 号 協和特許法律事務所
【氏名又は名称】	川崎 康

特願 2 0 0 3 - 3 2 0 3 1 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝